

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    8 月 2 9 日  
Date of Application:

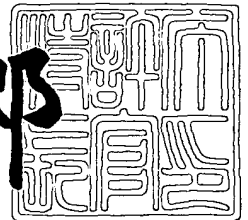
出 願 番 号            特 願 2 0 0 2 - 2 5 1 4 7 1  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 5 1 4 7 1 ]

出      願      人            株式会社デンソー  
Applicant(s):            株式会社日本自動車部品総合研究所

2 0 0 3 年    7 月    9 日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号    出証特 2 0 0 3 - 3 0 5 4 3 2 5

【書類名】 特許願

【整理番号】 PNID4106

【提出日】 平成14年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/00

【発明者】

【住所又は居所】 愛知県西尾市下羽角町岩谷 1 4 番地 株式会社日本自動車部品総合研究所内

【氏名】 三摩 紀雄

【発明者】

【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

【氏名】 坂下 尚広

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【特許出願人】

【識別番号】 000004695

【氏名又は名称】 株式会社日本自動車部品総合研究所

【代理人】

【識別番号】 100082500

【弁理士】

【氏名又は名称】 足立 勉

【電話番号】 052-231-7835

【手数料の表示】

【予納台帳番号】 007102

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ホスト側インタフェース装置、デバイス側インタフェース装置、インタフェースシステム及びプログラム

【特許請求の範囲】

【請求項 1】

ATA/ATAPI 信号を送受信してホスト装置と通信する第 1 のインタフェースと、

ATA/ATAPI 以外のプロトコル信号を送受信して前記ホスト装置以外の他の装置と通信する第 2 のインタフェースと、

信号を記憶する記憶手段を有する制御部と、

を備えるホスト側インタフェース装置であって、

前記制御部は、前記第 1 のインタフェースが信号を受信するとその信号を前記第 2 のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記第 2 のインタフェースに送信させ、逆に、前記第 2 のインタフェースが信号を受信するとその信号を ATA/ATAPI 信号に変換し、信号を変換すると所定のタイミングで前記第 1 のインタフェースに変換した信号を送信させると共に前記記憶手段に変換した信号を記憶し、その後は前記第 2 のインタフェースが信号を受信しなくても前記記憶手段に記憶した信号を前記ホスト装置からの指令に応じて前記第 1 のインタフェースに送信させることを特徴とするホスト側インタフェース装置。

【請求項 2】

ATA/ATAPI 信号を送受信してデバイス装置と通信する第 1 のインタフェースと、

ATA/ATAPI 以外のプロトコル信号を送受信して請求項 1 に記載のホスト側インタフェース装置と通信する第 2 のインタフェースと、

制御部と、

を備えるデバイス側インタフェース装置であって、

前記制御部は、前記第 1 のインタフェースが信号を受信するとその信号を前記第 2 のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイ

ミングで前記第2のインタフェースに送信させ、逆に、前記第2のインタフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記第1のインタフェースに変換した信号を送信させることを特徴とするデバイス側インタフェース装置。

【請求項3】

請求項1に記載のホスト側インタフェース装置と、

請求項2に記載のデバイス側インタフェース装置と、

を備えるインタフェースシステムであって、

前記ホスト側インタフェース装置の第2のインタフェースと前記デバイス側インタフェース装置の第2のインタフェースとは接続され、

前記ホスト側インタフェース装置の第1のインタフェースが信号を受信すると、前記ホスト側インタフェース装置の前記制御部は、受信した信号を前記ホスト側インタフェース装置の前記第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記ホスト側インタフェース装置の前記第2のインタフェースに送信させ、前記デバイス側インタフェース装置の前記第2のインタフェースがその信号を受信すると、前記デバイス側インタフェース装置の前記制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記デバイス側インタフェース装置の前記第1のインタフェースに変換した信号を送信させ、

逆に、前記デバイス側インタフェース装置の前記第1のインタフェースが信号を受信すると、前記デバイス側インタフェース装置の前記制御部は、受信した信号を前記デバイス側インタフェース装置の前記第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記デバイス側インタフェース装置の前記第2のインタフェースに送信させ、前記ホスト側インタフェース装置の前記第2のインタフェースがその信号を受信すると、前記ホスト側インタフェース装置の前記制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで前記ホスト側インタフェース装置の前記第1のインタフェースに変換した信号を送信させると共に変換した信号を前記記憶手段に記憶し、その後は前記ホスト側インタフェース装置の前記第2のイン

タフェースが信号を受信しなくても前記記憶手段に記憶した信号を前記ホスト装置からの指令に応じて前記ホスト側インタフェース装置の前記第 1 のインタフェースに送信させることを特徴とするインタフェースシステム。

**【請求項 4】**

コンピュータに、

A T A / A T A P I 信号を送受信してホスト装置と通信する第 1 のインタフェースが信号を受信するとその信号を、A T A / A T A P I 以外のプロトコル信号を送受信して前記ホスト装置以外の他の装置と通信する第 2 のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記第 2 のインタフェースに送信させる機能、

前記第 2 のインタフェースが信号を受信するとその信号を A T A / A T A P I 信号に変換し、信号を変換すると所定のタイミングで前記第 1 のインタフェースに変換した信号を送信させると共に記憶手段に変換した信号を記憶させ、その後は前記第 2 のインタフェースが信号を受信しなくても前記記憶手段に記憶させた信号を前記ホスト装置からの指令に応じて前記第 1 のインタフェースに送信させる機能を実現させるためのプログラム。

**【請求項 5】**

コンピュータに、

A T A / A T A P I 信号を送受信してデバイス装置と通信する第 1 のインタフェースが信号を受信するとその信号を、A T A / A T A P I 以外のプロトコル信号を送受信して請求項 1 に記載のホスト側インタフェース装置と通信する第 2 のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで前記第 2 のインタフェースに送信させる機能、

前記第 2 のインタフェースが信号を受信するとその信号を A T A / A T A P I 信号に変換し、信号を変換すると所定のタイミングで前記第 1 のインタフェースに変換した信号を送信させる機能を実現させるためのプログラム。

**【請求項 6】**

ホスト側インタフェース装置と、デバイス側インタフェース装置とを備えた車両用のインタフェースシステムであって、

前記ホスト側インタフェース装置がホスト装置からATA/ATAPI信号を受信すると、前記ホスト側インタフェース装置はその信号を他のプロトコル信号に変換して前記デバイス側インタフェース装置に送信し、前記デバイス側インタフェース装置が前記ホスト側インタフェース装置から前記他のプロトコル信号を受信すると、前記デバイス側インタフェース装置はその信号をATA/ATAPI信号に変換してデバイス装置に送信し、

逆に、前記デバイス側インタフェース装置がデバイス装置からATA/ATAPI信号を受信すると、前記デバイス側インタフェース装置はその信号を他のプロトコル信号に変換して前記ホスト側インタフェース装置に送信し、前記ホスト側インタフェース装置が前記デバイス側インタフェース装置から前記他のプロトコル信号を受信すると、前記ホスト側インタフェース装置はその信号をATA/ATAPI信号に変換してホスト装置に送信することを特徴とする車両用のインタフェースシステム。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

ATA/ATAPIインタフェースを備えた装置間を接続するインタフェース装置等に関する。

##### 【0002】

##### 【従来の技術及び発明が解決しようとする課題】

近年、例えばカーナビゲーションシステムにおける地図データ等の情報記憶媒体としてCD-ROMやDVD-ROMが一般的に用いられている。そして、CD-ROMドライブやDVD-ROMドライブとカーナビゲーションシステムの本体装置とは、ATAPIインタフェースと呼ばれるANSIで標準化されたインタフェース規格によって接続されることが一般的である。

##### 【0003】

ところが、このATAPIインタフェースの規格では、CD-ROMドライブやDVD-ROMドライブのようなデバイス装置と、ナビゲーション装置の本体装置のようなホスト装置とは、0.46m以内の長さのケーブルで結ばれる必要

がある。そのため、ホスト装置とデバイス装置との設置については、十分に位置関係を考慮する必要がある。また、CD-ROMドライブやDVD-ROMドライブに加えてハードディスクを使用する場合もあるが、ハードディスクの場合に使用するATAインタフェースについても同様の制限があり、設置については十分に位置関係を考慮する必要がある。

#### 【0004】

このような理由から、カーナビゲーションシステムの場合は、本体装置とCD-ROMドライブやDVD-ROMドライブとを近接させ、ディスプレイ装置を切り離してケーブルで接続する方法が採られる場合が多い。しかし、この方法では映像信号（例えばR、G、B、Vsync、Hsync、DotClock等）を伝送させるために多くのケーブルが必要となり、車両全体のケーブルの増大やケーブルの取り回しによる画質の劣化をもたらしていた。また、CD-ROMドライブやDVD-ROMドライブは、他の装置に比べて比較的大きな装置であるためトランク等のようなディスプレイ装置や本体装置とは離れた場所に設置したいという要望もあった。

#### 【0005】

本発明は、このような問題に鑑みなされたものであり、ATA/ATAPIインタフェースを採用するホスト装置とデバイス装置との間の接続可能距離を延ばし、ホスト装置とデバイス装置の配置の自由度を上げることができるホスト側インタフェース装置やデバイス側インタフェース装置等を提供することを目的とする。

#### 【0006】

##### 【課題を解決するための手段及び発明の効果】

上記課題を解決するためになされた請求項1に記載のホスト側インタフェース装置の制御部は以下のように動作する。第1のインタフェースがホスト装置からATA/ATAPI信号を受信すると、その信号を第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインタフェースに送信させる。逆に、第2のインタフェースがホスト装置ではない他の装置からATA/ATAPI信号以外のプロトコル信号を受信すると、その信号をAT



A/A T A P I 信号に変換し、信号を変換すると変換した信号を所定のタイミングで第1のインタフェースに送信させると共に変換した信号を記憶手段に記憶し、その後は第2のインタフェースが信号を受信しなくても記憶手段に記憶した信号をホスト装置からの指令に応じて第1のインタフェースに送信させる。尚、所定のタイミングというのは、通信に使用されるプロトコルの規定にしたがったタイミングを意味する。また、記憶手段が記憶する信号としては、例えばステータス情報が考えられる。

#### 【0007】

また、このようなホスト側インタフェース装置に対応したデバイス側インタフェース装置としては請求項2に記載のような制御部を備えたデバイス側インタフェース装置であるとよい。すなわち、第1のインタフェースがデバイス装置からA T A / A T A P I 信号を受信するとその信号を第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインタフェースに送信させる。逆に、第2のインタフェースが信号を受信するとその信号をA T A / A T A P I 信号に変換し、信号を変換すると所定のタイミングで第1のインタフェースに変換した信号を送信させる。尚、所定のタイミングというのは、通信に使用されるプロトコルの規定にしたがったタイミングを意味する。

#### 【0008】

そして、このようなホスト側インタフェース装置とデバイス側インタフェース装置とを組み合わせる場合は、請求項3に記載のようなインタフェースシステムとして用いるとよい。すなわち、ホスト側インタフェース装置の第1のインタフェースがホスト装置からA T A / A T A P I 信号を受信すると、ホスト側インタフェース装置の制御部が、受信した信号をホスト側インタフェース装置の第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングでホスト側インタフェース装置の第2のインタフェースに送信させる。そして、デバイス側インタフェース装置の第2のインタフェースがその信号を受信すると、デバイス側インタフェース装置の制御部は、受信した信号をA T A / A T A P I 信号に変換し、信号を変換すると所定のタイミングでデバイス側インタフェース装置の第1のインタフェースに変換した信号を送信させる。

**【0009】**

また、デバイス側インタフェース装置の第1のインタフェースがデバイス装置からATA/ATAPI信号を受信すると、デバイス側インタフェース装置の制御部が、受信した信号をデバイス側インタフェース装置の第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングでデバイス側インタフェース装置の第2のインタフェースに送信させる。そして、ホスト側インタフェース装置の第2のインタフェースがその信号を受信すると、ホスト側インタフェース装置の制御部は、受信した信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで変換した信号をホスト側インタフェース装置の第1のインタフェースに送信させる。そして更に、変換した信号を記憶手段に記憶し、その後はホスト側インタフェース装置の第2のインタフェースから信号を受信しなくても記憶手段に記憶した信号をホスト装置からの指令に応じてホスト側インタフェース装置の第1のインタフェースに送信させる。

**【0010】**

このように本インタフェースシステムは、ATA/ATAPI信号を他のプロトコル信号に変換して通信を行うため、その通信にATA/ATAPI信号より装置間の接続距離が長いプロトコルを用いれば、装置間の接続距離を延ばすことができる。そして、ホスト側インタフェース装置の第2のインタフェースがデバイス側インタフェース装置の第2のインタフェースから信号を受信できなくても、ホスト側インタフェース装置の制御部は、記憶手段に記憶した信号をホスト側インタフェース装置の第1のインタフェースを介してホスト装置に送信する。このためホスト装置に対して信号が正常に受信できているように見せることができる。つまり、ホスト側インタフェース装置の第2のインタフェースとデバイス側インタフェース装置の第2のインタフェースとを介してやりとりされる信号の許容可能な遅延時間が大きくなり、ホスト側インタフェース装置の第2のインタフェースとデバイス側インタフェース装置の第2のインタフェースとの間の接続距離を延ばしてもATA/ATAPI信号の通信を正常に行うことができる。したがって、ホスト装置及びデバイス装置の配置の自由度を上げることができる。

**【0011】**

ところで、請求項4に記載のように、プログラムを用いてコンピュータに以下のような機能を実現させるようにしてもよい。つまり、第1のインタフェースが信号を受信するとその信号を、第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインタフェースに送信させる機能。そして、第2のインタフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで第1のインタフェースに変換した信号を送信させると共に記憶手段に変換した信号を記憶させ、その後は第2のインタフェースが信号を受信しなくても記憶手段に記憶させた信号をホスト装置からの指令に応じて第1のインタフェースに送信させる機能である。

#### 【0012】

また、請求項5に記載のように、プログラムを用いてコンピュータに以下のような機能を実現させるようにしてもよい。つまり、第1のインタフェースが信号を受信するとその信号を、第2のインタフェースのプロトコル信号に変換し、信号を変換すると所定のタイミングで第2のインタフェースに送信させる機能。そして、第2のインタフェースが信号を受信するとその信号をATA/ATAPI信号に変換し、信号を変換すると所定のタイミングで第1のインタフェースに変換した信号を送信させる機能である。

#### 【0013】

このようなプログラムは、磁気ディスク、光磁気ディスク、メモ리카ード等のコンピュータが読み取り可能な記録媒体に記録し、必要に応じてコンピュータにロードして起動することにより用いることができる。また、ネットワークを介してロードして起動することにより用いることもできる。したがって、機能アップ等を容易に行うことができる。

#### 【0014】

また、請求項6に記載のような、ホスト側インタフェース装置と、デバイス側インタフェース装置とを備えた車両用のインタフェースシステムも考えられる。

このようにATA/ATAPI信号を他のプロトコル信号に変換させて伝送するため、ATA/ATAPI信号より装置間の接続距離を長くすることができる。プロトコルを用いるようにすれば、ホスト装置とデバイス装置との間の接続距離

を延ばすことができる。したがって、ホスト装置及びデバイス装置の配置の自由度を上げることができる。

#### 【0015】

尚、例えばカーナビゲーションシステムの場合について言えば、デバイス装置に相当するCD-ROMドライブやDVD-ROMドライブ等と、ホスト装置に相当する本体装置とを離し、本体装置をよりディスプレイ装置に近づけることができる。その結果、映像信号を伝送させるためのケーブルを短くさせて、車両全体のケーブルの増大やケーブルの取り回しによる画質の劣化を減少させることができる。

#### 【0016】

##### 【発明の実施の形態】

以下、本発明が適用された実施例について図面を用いて説明する。尚、本発明の実施の形態は、下記の実施例に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の形態を採りうることは言うまでもない。

#### 【0017】

図1は実施例の車両用DVD再生システムの概略構成図である。本DVD再生システムは、DVDドライブ1と、デバイス側インタフェース装置3と、ホスト側インタフェース装置5と、MPEG2デコーダ7と、ディスプレイ9とを備える。

#### 【0018】

DVDドライブ1は、ATAPIインタフェースを備えた一般的なDVDドライブであり、本発明のデバイス装置に相当する。

デバイス側インタフェース装置3は、プロトコル変換等を行うインタフェース装置であり、ATAPIインターフェース（第1のインタフェースに相当）と高速LANインタフェース（第2のインタフェースに相当）とを備える。ATAPIインタフェースはDVDドライブ1のATAPIインタフェースに接続され、高速LANインタフェースは後述するホスト側インタフェース装置5に接続される。

#### 【0019】

ホスト側インタフェース装置 5 は、プロトコル変換等を行うインタフェース装置であり、ATAPI インターフェース (第 1 のインタフェースに相当) と高速 LAN インタフェース (第 2 のインタフェースに相当) とを備える。ATAPI インタフェースは後述する MPEG 2 デコーダ 7 の ATAPI インタフェースに接続され、高速 LAN インタフェースはデバイス側インタフェース装置 3 に接続される。

#### 【0 0 2 0】

MPEG 2 デコーダ 7 は、MPEG 2 データをデコードして後述するディスプレイ 9 に映像を表示させるための映像信号に変換する。また、ホストインタフェース装置と通信をする ATAPI インタフェースと、ディスプレイ 9 に映像信号を供給する映像信号出力インタフェースとを備える。

#### 【0 0 2 1】

ディスプレイ 9 は、映像信号入力インタフェースと映像を表示する表示部とを備え、映像信号入力インタフェースを介して MPEG 2 デコーダ 7 から受け取った映像信号を表示部に表示する。表示部は例えば、LCD や CRT 等から構成される。

#### 【0 0 2 2】

次に、ホスト側インタフェース装置 5 の内部構造について、図 2 のブロック図を用いて説明する。

ホスト側インタフェース装置 5 は主に、ATAPI バスコントローラ 1 1、PIO 送信レジスタ 1 3、PIO 受信レジスタ 1 5、ATAPI 制御レジスタ 1 7、CPU バスコントローラ 1 9、CPU 2 1、LAN 送信レジスタ 2 5、LAN 受信レジスタ 2 7、LAN 制御レジスタ 2 9、DMA 受信レジスタ 3 1 及び LAN バスコントローラ 3 3 を備える。

#### 【0 0 2 3】

ATAPI バスコントローラ 1 1 は、PIO 送信レジスタ 1 3、PIO 受信レジスタ 1 5、ATAPI 制御レジスタ 1 7 及び DMA 受信レジスタ 3 1 と通信をすると共に、ATAPI ケーブル 3 5 を介して MPEG 2 デコーダ 7 に接続され、その ATAPI ケーブル 3 5 上の通信をコントロールする。

**【0 0 2 4】**

P I O送信レジスタ 1 3 は、A T A P Iバスコントローラ 1 1とC P Uバスコントローラ 1 9との間に設置され、ステータスを保持するステータスレジスタとデータを保持するデータレジスタとを備える。尚、P I O送信レジスタ 1 3はF I F O構造となっている。また、P I O送信レジスタ 1 3は、特許請求の範囲の請求項 1における記憶手段に相当する。

**【0 0 2 5】**

P I O受信レジスタ 1 5は、A T A P Iバスコントローラ 1 1とC P Uバスコントローラ 1 9との間に設置され、コマンドを保持するコマンドレジスタとデータを保持するデータレジスタとを備える。尚、P I O受信レジスタ 1 5はF I F O構造となっている。

**【0 0 2 6】**

A T A P I制御レジスタ 1 7は、A T A P Iバスコントローラ 1 1とC P Uバスコントローラ 1 9との間に設置され、A T A P I通信を制御するためのレジスタである。

C P Uバスコントローラ 1 9は、P I O送信レジスタ 1 3、P I O受信レジスタ 1 5、A T A P I制御レジスタ 1 7、C P U 2 1、L A N送信レジスタ 2 5、L A N受信レジスタ 2 7及びL A N制御レジスタ 2 9の間の通信を制御する。

**【0 0 2 7】**

C P U 2 1は、リアルタイムにA T A P Iプロトコルと高速L A Nプロトコルとを相互に変換できる程度の処理能力を持ったC P Uであり、ホスト側インタフェース装置 5の各部をプログラムに基づいて統括的に制御する。

L A N送信レジスタ 2 5は、C P Uバスコントローラ 1 9とL A Nバスコントローラ 3 3との間に設置され、C P Uバスコントローラ 1 9からデータを受け取ると一旦そのデータを記憶し、L A Nバスコントローラ 3 3からの指令によって記憶したデータをL A Nバスコントローラ 3 3に送る。

**【0 0 2 8】**

L A N受信レジスタ 2 7は、C P Uバスコントローラ 1 9とL A Nバスコントローラ 3 3との間に設置され、L A Nバスコントローラ 3 3からデータを受け取

ると一旦そのデータを記憶し、CPUバスコントローラ19からの指令によって記憶したデータをCPUバスコントローラ19に送る。

#### 【0029】

LAN制御レジスタ29は、CPUバスコントローラ19とLANバスコントローラ33との間に設置され、高速LAN通信を制御するためのレジスタである。

LANバスコントローラ33は、LAN送信レジスタ25、LAN受信レジスタ27、LAN制御レジスタ29及びDMA受信レジスタ31と通信をすると共に、LANケーブル37を介してデバイス側インタフェース装置3に接続され、そのLANケーブル37上の通信をコントロールする。

#### 【0030】

DMA受信レジスタ31は、CPU21を介さずにLANバスコントローラ33からATAPIバスコントローラ11へデータを転送（いわゆるDMA転送）するときに使用するレジスタである。DMA受信レジスタ31はFIFO構造となっている。

#### 【0031】

尚、PIO送信レジスタ13、PIO受信レジスタ15、ATAPI制御レジスタ17、CPUバスコントローラ19、CPU21、LAN送信レジスタ25、LAN受信レジスタ27及びLAN制御レジスタ29が特許請求の範囲の請求項1における制御部に相当する。

#### 【0032】

次に、デバイス側インタフェース装置3の内部構造について、図3のブロック図を用いて説明する。デバイス側インタフェース装置3はホスト側インタフェース装置7に類似しているため相違点を中心に説明する。

デバイス側インタフェース装置3は、主に、ATAPIバスコントローラ41、ATAPI制御レジスタ43、CPUバスコントローラ45、CPU47、LAN送信レジスタ51、LAN受信レジスタ53、LAN制御レジスタ55、LANバスコントローラ59及びDMA送信レジスタ57を備える。

#### 【0033】

A T A P I バスコントローラ 4 1 は、A T A P I 制御レジスタ 4 3 及びDMA 送信レジスタ 5 7 と通信をすると共に、A T A P I ケーブル 6 1 を介してDVD ドライブ 1 に接続され、そのA T A P I ケーブル 6 1 上の通信をコントロールする。

#### 【0 0 3 4】

A T A P I 制御レジスタ 4 3 は、A T A P I バスコントローラ 4 1 とCPU バスコントローラ 4 5 との間に設置され、A T A P I 通信を制御するためのレジスタである。

CPU バスコントローラ 4 5 は、A T A P I 制御レジスタ 4 3、CPU 4 7、LAN 送信レジスタ 5 1、LAN 受信レジスタ 5 3 及びLAN 制御レジスタ 5 5 の間の通信を制御する。

#### 【0 0 3 5】

CPU 4 7、LAN 送信レジスタ 5 1、LAN 受信レジスタ 5 3、LAN 制御レジスタ 5 5、LAN バスコントローラは、それぞれ図 2 を参照して説明したホスト側インタフェース装置 5 のCPU 2 1、LAN 送信レジスタ 2 5、LAN 受信レジスタ 2 7、LAN 制御レジスタ 2 9、LAN バスコントローラ 3 3 と同様である。

#### 【0 0 3 6】

DMA 送信レジスタ 5 7 は、CPU 4 7 を介さずにA T A P I バスコントローラ 4 1 からLAN バスコントローラ 5 9 へデータを転送（いわゆるDMA 転送）するとき使用するレジスタである。DMA 送信レジスタ 5 7 はF I F O 構造となっている。

#### 【0 0 3 7】

尚、A T A P I 制御レジスタ 4 3、CPU バスコントローラ 4 5、CPU 4 7、LAN 送信レジスタ 5 1、LAN 受信レジスタ 5 3 及びLAN 制御レジスタ 5 5 が特許請求の範囲の請求項 2 における制御部に相当する。

次に、ホスト側インタフェース装置 5 の主な動作について説明する。本DVD 再生システムでは、ホスト装置であるM P E G 2 デコーダ 7 からの指令に従って動作する。



**【 0 0 3 8 】****(1) ATAPI コマンド受信処理**

ATAPI バスコントローラ 1 1 は、MPEG 2 デコーダ 7 からレジスタ情報 (Device Control、Feature、Sector Count、Sector Number、Byte Count LSB、Byte Count MSB、Device/Head、Command) を受け取ると、一旦 P I O 受信レジスタ 1 5 に保存させる。ATAPI バスコントローラ 1 1 は、P I O 受信レジスタ 1 5 がレジスタ情報の保存を完了すると、ATAPI 制御レジスタ 1 7 にある割り込みフラグを立てて CPU 2 1 に完了を通知すると共に、BSY フラグ (アクセス禁止フラグ) を立てて CPU 2 1 が動作中であることを MPEG 2 デコーダ 7 に知らせる。

**【 0 0 3 9 】**

通知を受けた CPU 2 1 は、CPU バスコントローラ 1 9 を介して P I O 受信レジスタ 1 5 からコマンドやステータス情報を読み込み、そのコマンドに応じた処理、例えば高速 LAN のコマンドに変換して後述する LAN コマンド・LAN パケットデータ送信処理等を行う。

**【 0 0 4 0 】****(2) ATAPI パケットデータ受信処理**

ATAPI バスコントローラ 1 1 は、MPEG 2 デコーダ 7 から ATAPI パケットデータを受け取ると、一旦 P I O 受信レジスタ 1 5 に保存させる。ATAPI バスコントローラ 1 1 は、6 ワード受信した段階で ATAPI 制御レジスタ 1 7 にある割り込みフラグを立てて CPU 2 1 に受信完了を通知すると共に、BSY フラグを立てて CPU 2 1 が動作中であることを MPEG 2 デコーダ 7 に知らせる。

**【 0 0 4 1 】**

通知を受けた CPU 2 1 は、CPU バスコントローラ 1 9 を介して P I O 受信レジスタ 1 5 からパケットデータを読み込み、P I O 受信レジスタ 1 5 から全てのパケットデータを読み込むと前述の割り込みフラグと BSY フラグを解除させる。尚、ATAPI バスコントローラ 1 1 から P I O 受信レジスタ 1 5 へのパケットデータの書き込み動作と、P I O 受信レジスタ 1 5 から CPU バスコントロ

ーラ 19 を介して CPU 21 への読み込み動作は、PIO 受信レジスタ 15 が FIFO 構造であるため同時に行うことができる。

#### 【0042】

パケットデータを受信した CPU 21 はパケットデータを解析し、高速 LAN のパケットに変換する等して、後述する LAN コマンド・パケットデータ送信処理を行う。

#### (3) ATAPI ステータス送信処理

ホスト側インタフェース装置 5 は、デバイス側インタフェース装置 3 を介して DVD ドライブ 1 のレジスタ情報 (Alt.Status、Error、Interrupt Reason、Sector Number、Byte Count LSB、Byte Count MSB、Device/Head、Status) を受け取ると PIO 送信レジスタ 13 にその情報を書き込む。そのため、MPEG 2 デコーダ 7 がホスト側インタフェース装置 5 に対して DVD ドライブ 1 のレジスタ情報を問い合わせると、ホスト側インタフェース装置 5 は、PIO 送信レジスタ 13 に書き込んだレジスタ情報を MPEG 2 デコーダ 7 に ATAPI バスコントローラ 11 を介して送信する。

#### 【0043】

#### (4) ATAPI パケットデータ送信処理

まず CPU 21 は、CPU バスコントローラ 19 を介して PIO 送信レジスタ 13 にパケットデータを格納させる。そして、CPU 21 は CPU バスコントローラ 19 を通じて ATAPI 制御レジスタ 17 の BSY フラグをクリアすると共に DRQ (データリクエスト) フラグをセットする。

#### 【0044】

続いて、ATAPI バスコントローラ 11 が PIO 送信レジスタ 13 からパケットデータを読み出して MPEG 2 デコーダ 7 に対して送信を行う。全てのデータを送信し終わると ATAPI バスコントローラ 11 は、BSY フラグをセット、DRQ フラグをクリアする。

#### 【0045】

#### (5) ATAPI ストリームデータ送信処理

LAN バスコントローラ 33 がストリームデータを受信すると DMA 受信レジ

スタ 31 に送信し、DMA 受信レジスタ 31 は一旦受け取ったストリームデータを保持する。CPU 21 により ATAPI 制御レジスタ 17 の DMA 許可フラグがセットされると共に、ATAPI バスコントローラ 11 を通じて MPEG 2 デコーダ 7 に DMARQ 信号 (DMA 転送開始要求信号) が送信される。その後、ATAPI バスコントローラ 11 は、DMA 受信レジスタ 31 からストリームデータを読み出して、MPEG 2 デコーダ 7 に送信する。全てのデータを読み出すと、ATAPI バスコントローラ 11 は、MPEG 2 デコーダ 7 への DMARQ 信号を解除してストリームデータの送信処理を停止する。

#### 【0046】

##### (6) LAN コマンド・LAN パケットデータ送信処理

まず、CPU 21 が CPU バスコントローラ 19 を介して LAN 送信レジスタ 25 に送信コマンド又は送信パケットデータを書き込む。続いて LAN バスコントローラ 33 が、高速 LAN のプロトコルに準じたタイミングでコマンド又はパケットデータを送信する。LAN バスコントローラ 33 は、コマンド又はパケットデータの送信を完了すると、LAN 制御レジスタ 29 に完了した旨のフラグを立てて、CPU バスコントローラ 19 を通じて CPU 21 に通知する。

#### 【0047】

##### (7) LAN コマンド・LAN パケットデータ受信処理

LAN バスコントローラ 33 がコマンド又はパケットデータを受信すると、LAN 制御レジスタ 29 にある割り込みフラグをセットし、LAN 受信レジスタ 27 がコマンド又はパケットデータを格納する。CPU 21 は CPU バスコントローラ 19 を通じて LAN 制御レジスタ 29 の割り込みフラグを確認すると、CPU バスコントローラ 19 を介して LAN 受信レジスタ 27 からコマンド又はパケットデータを読み出す。

#### 【0048】

##### (8) LAN ストリームデータ受信処理

LAN ストリームデータの受信は、プロトコルに準じた単位バイトのストリームデータを LAN バスコントローラ 33 が受信すると、DMA 受信レジスタ 31 に転送し、LAN 制御レジスタ 29 と CPU バスコントローラ 19 とを經由して

CPU 21 に転送した旨を通知する。その後は、CPU 21 が前述した ATAPI I ストリームデータ送信処理にしたがって ATAPI バスコントローラ 11 に、DMA 受信レジスタ 31 からストリームデータを読み出させ、MPEG 2 デコーダ 7 にストリームデータを送信する。

#### 【0049】

次に、デバイス側インタフェース装置 3 の主な動作について説明する。

##### (1) ATAPI コマンド・ATAPI パケットデータ送信処理

ATAPI コマンド及び ATAPI パケットデータの DVD ドライブ 1 への送信は、CPU 47 から CPU バスコントローラ 45 及び ATAPI バスコントローラ 41 を経由して DVD ドライブ 1 に遅延なく（レジスタを経由することなく）送信される。ATAPI 制御レジスタ 43 は、ATAPI 通信の状態を確認するため等に用いられる。

#### 【0050】

##### (2) ATAPI ステータス・ATAPI パケットデータ受信処理

ATAPI バスコントローラ 41 が DVD ドライブ 1 から ATAPI ステータス（レジスタ情報）又は ATAPI パケットデータを受信すると、ATAPI バスコントローラ 41 は、DVD ドライブ 1 から ATAPI バスコントローラ 41 及び CPU バスコントローラ 45 を経由して ATAPI ステータス又は ATAPI パケットデータを CPU 47 に送信する。CPU 47 は、ATAPI バスコントローラ 41 から遅延なく（レジスタを経由することなく）ATAPI ステータス又は ATAPI パケットデータを受信する。

#### 【0051】

##### (3) ATAPI ストリームデータ受信処理

CPU 47 が CPU バスコントローラ 45 を通じて ATAPI 制御レジスタ 43 の DMA 許可フラグをセットした状態で、ATAPI バスコントローラ 41 が DVD ドライブ 1 からの DMA RQ を検知すると、ATAPI バスコントローラ 41 は ATAPI ストリームデータの受信を開始する。ATAPI バスコントローラ 41 は、ATAPI ストリームデータを受信すると DMA 送信レジスタ 57 に送信し、DMA 送信レジスタ 57 が ATAPI ストリームデータを一旦格納す

る。ATAPIバスコントローラ41は、ATAPIストリームデータの受信を完了するとATAPI制御レジスタ43のATAPIストリームデータ完了フラグをセットしてCPU47に完了を通知する。

#### 【0052】

##### (4) LANコマンド・LANパケット送受信処理

本処理は、上述したホスト側インタフェース装置5のLANコマンド・LANパケットデータ送信処理及びLANコマンド・LANパケット受信処理と同様の手順であり、対応するバスコントローラやレジスタが同様に機能する。

#### 【0053】

##### (5) LANストリームデータ送信処理

CPU47がCPUバスコントローラ45を介してLAN制御レジスタ55のLANストリームデータ送信開始フラグをセットすると、LANバスコントローラ59が、DMA送信レジスタ57に格納されたストリームデータを読み出して高速LANのプロトコルに準じたタイミングでホスト側インタフェース装置5に送信する。LANバスコントローラ59は、送信が完了するとLAN制御レジスタ55のLANストリームデータ送信完了フラグをセットしてCPU47に完了を通知する。

#### 【0054】

次に、MPEG2デコーダ7がREADコマンドを発行する際の動作を例に挙げて全体の動作を説明する。尚、説明には図4のタイムチャートを用いて説明する。

まず、ホスト側インタフェース装置5が以前取得して保持しているDVDドライブ1の状態(S100)を、MPEG2デコーダ7が読み出す(S105)。ここで言う「以前取得して保持しているDVDドライブ1の状態」というのは、前述したホスト側インタフェース装置13のPIO送信レジスタ13のステータスレジスタに保持されているレジスタ情報を意味する。

#### 【0055】

MPEG2デコーダ7は、読み出したDVDドライブ1の状態がATAPIコマンドを発行可能な状態であることを確認してATAPIコマンドをDVDドラ

イブ1に対して発行する(S110)。このATAPIコマンドは、次に送るパケットデータがコマンドである旨のATAPIコマンドである。

#### 【0056】

ホスト側インタフェース装置5は、一旦PIO受信レジスタ15のコマンドレジスタにATAPIコマンドを記憶し、所定のタイミングでDVDドライブ1に向けて送信する(S112)。

前述のコマンドを受信したDVDドライブ1は、当該コマンドを解釈した後、状態フラグを変更し、変更を完了した旨の情報をMPEG2デコーダ7に送信する(S115)。しかし、MPEG2デコーダ7が前述のコマンドを発行してから状態の変更を完了した旨の情報がMPEG2デコーダ7に届くまでには、ATAPI規格で定められた400ナノ秒以上時間がかかってしまうためそのままではエラーになってしまう。そのため、ホスト側インタフェース装置5は、以前取得して保持しているDVDドライブ1の状態を基にした仮の状態(S120)をMPEG2デコーダ7に送信し、MPEG2デコーダ7はその状態データを受信する(S125)。この受信動作は一定間隔で繰り返され(図4では一回のみしか記していない)、DVDドライブ1から状態の変更を完了した旨の情報がホスト側インタフェース装置5に届いてDVDドライブ1の状態情報が変更され(S130)、その変更された状態情報をMPEG2デコーダ7が読み出すまで(S135)続けられる。

#### 【0057】

MPEG2デコーダ7は、状態変更が完了した旨の情報を確認するとREADコマンドを発行する(S140)。ホスト側インタフェース装置5は、READコマンドを含むパケットデータを一旦データレジスタに保持し、所定のタイミングでデバイス側インタフェース装置3に送信する(S142)。READコマンドを含むパケットデータを受信したデバイス側インタフェース装置3はDVDドライブ1に送信する。

#### 【0058】

READコマンドを含むパケットデータを受信したDVDドライブ1は、コマンドを解釈した後、データ転送の準備を行い、準備が完了した時点で準備が完了

した旨の情報を表すフラグを更新し、その情報をMPEG2デコーダ7に送信する（S145）。

#### 【0059】

しかし、MPEG2デコーダ7がREADコマンドを発行してから準備が完了した旨の情報がMPEG2デコーダ7に届くまでには、ATAPI規格で定められた400ナノ秒以上かかってしまうため、S120～S135で説明したときと同様にMPEG2デコーダ7は仮の状態情報をホスト側インタフェース装置5から受け取ることによって待ち続け、準備が完了した旨の情報を受信した時点で次の処理に移る（S150～S165）。

#### 【0060】

DVDドライブ1は、データの転送準備が完了した旨の情報をMPEG2デコーダ7に送信すると、続けてデータの読み出し及び送信を開始する（S170）。データを受信したホスト側インタフェース装置5は、データレジスタに一旦データを保持して所定のタイミングでMPEG2デコーダ7に送信し（S172）、MPEG2デコーダ7はデータを取り込む（S175）。

#### 【0061】

その後、DVDドライブ1はデータを全て転送し終わると、転送が終了した旨の情報をMPEG2デコーダ7に送信し、状態フラグを初期化し、待機状態に移行する。

これまで説明したようなホスト側インタフェース装置5とデバイス側インタフェース装置3とを用いることにより次のような効果が得られる。ホスト側インタフェース装置5とデバイス側インタフェース装置3とは、ATAPI信号を高速LANの Protokol 信号に変換して通信を行うため、ATAPI規格では0.46mであった装置間の接続可能距離を当該高速LANの規格で定められた距離まで延ばすことができる。また、ホスト側インタフェース装置5にPIO送信レジスタ13のようなATAPI規格のタイミングを維持するための仕組みを設けたため、DVDドライブ1及びMPEG2デコーダ7は特別な仕組み及び動作を行うことなくATAPI通信を行うことができる。

#### 【0062】

したがって、ホスト側インタフェース装置5とデバイス側インタフェース装置3とを用いることにより、DVDドライブ1及びMPEG2デコーダ7の配置の自由度を上げることができる。

以下、他の実施例について説明する。

#### 【0063】

(1) 上記実施例はデバイス装置としてDVDドライブ1を用いたが、ハードディスクを用い、デバイス側インタフェース装置3及びホスト側インタフェース装置5もATA規格の通信にも対応できるように構成させてもよい。このようにすればハードディスクを用いた場合についても同様の効果が得られる。

#### 【0064】

(2) 上記実施例ではDVD再生システムに本発明を適用させて説明したが、カーナビゲーションシステムのDVD-ROMドライブ(CD-ROMドライブ)と本体装置との間の通信に適用させてもよい。このようにすれば、DVD-ROMドライブ(CD-ROMドライブ)及び本体装置の設置の自由度を上げることができる。

#### 【図面の簡単な説明】

【図1】 DVD再生システムの概略構成を示すブロック図である。

【図2】 ホスト側インタフェース装置の内部構成を示すブロック図である。

【図3】 デバイス側インタフェース装置の内部構成を示すブロック図である。

【図4】 MPEG2デコーダがRAEDコマンドを発行した際の動作推移を表すタイムチャートである。

#### 【符号の説明】

1…DVDドライブ、3…デバイス側インタフェース装置、5…ホスト側インタフェース装置、7…MPEG2デコーダ、9…ディスプレイ装置、11…ATAPIバスコントローラ、13…PIO送信レジスタ、15…PIO受信レジスタ、17…ATAPI制御レジスタ、19…CPUバスコントローラ、21…CPU、25…LAN送信レジスタ、27…LAN受信レジスタ、29…LAN制御レジスタ、31…DMA受信レジスタ、33…LANバスコントローラ、41…ATAPIバスコントローラ、43…ATAPI制御レジスタ、45…CPU

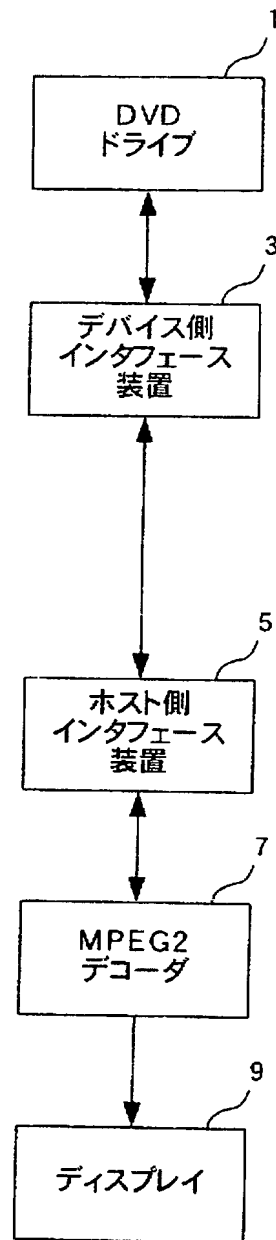


バスコントローラ、47…CPU、51…LAN送信レジスタ、53…LAN受信レジスタ、55…LAN制御レジスタ、57…DMA送信レジスタ、59…LANバスコントローラ。

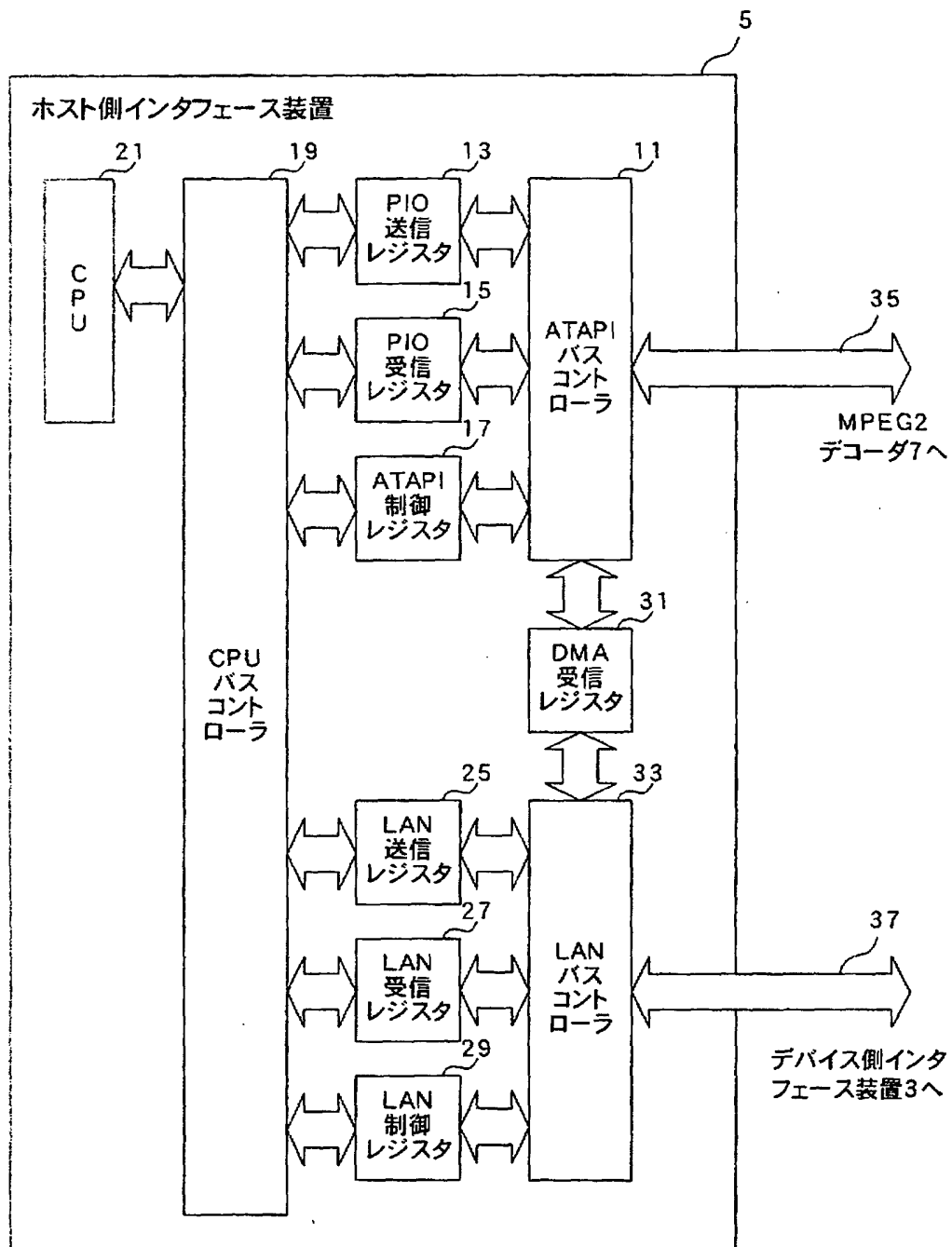
【書類名】

図面

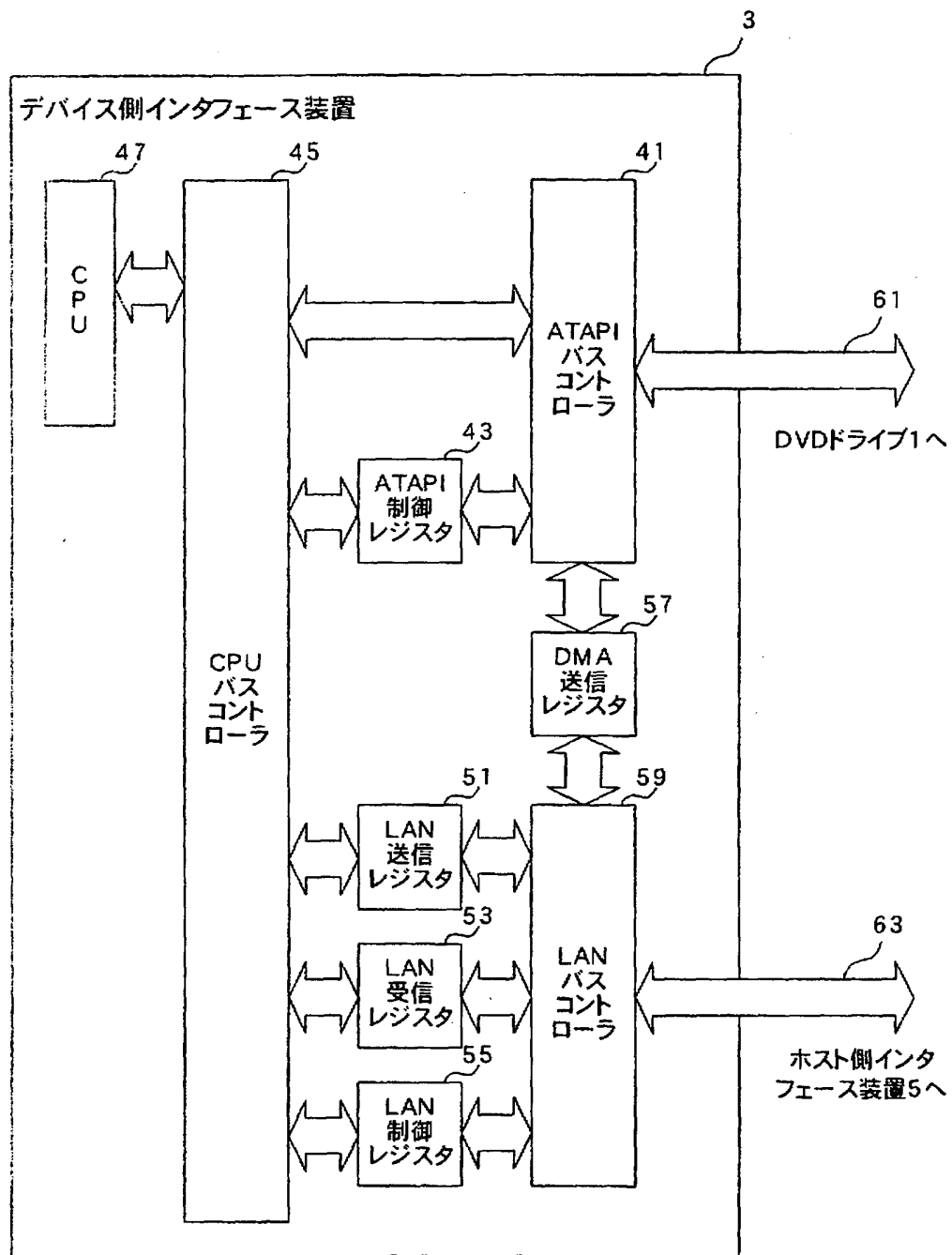
【図 1】



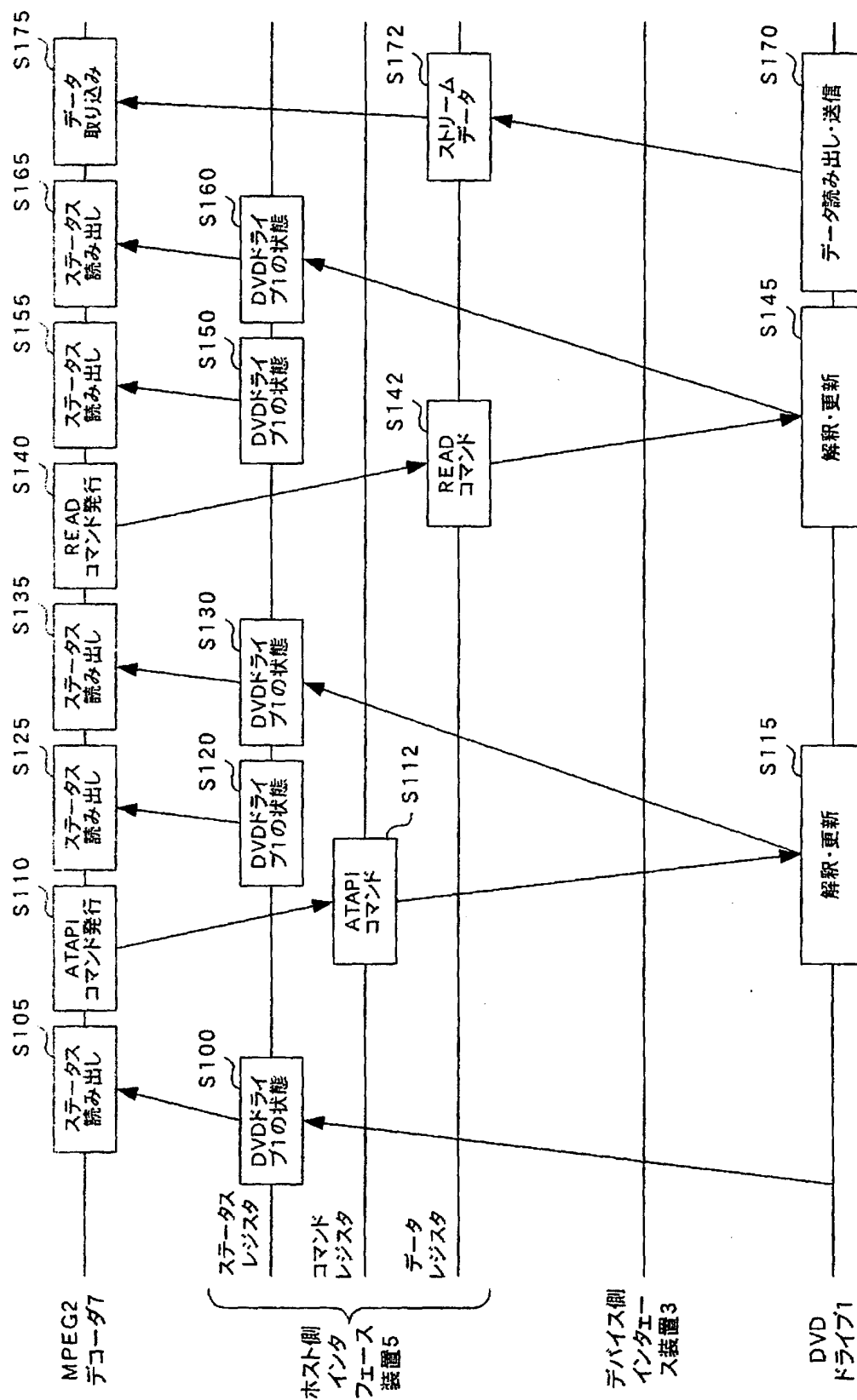
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 ATA/ATAPI インタフェースを採用するホスト装置とデバイス装置との間の接続可能距離を延ばし、ホスト装置とデバイス装置の配置の自由度を上げることができるホスト側インタフェース装置やデバイス側インタフェース装置等を提供する。

【解決手段】 LANバスコントローラ33が受信した高速LANのプロトコルのデータを、CPU21がATAPIプロトコルに変換すると共にPIO送信レジスタ13がそのデータを一旦格納し、ATAPIバスコントローラ11がPIO送信レジスタ13からそのデータ読み出してホスト装置に送信する。このように受信は高速LANのプロトコルであるため、ATAPI規格の通信可能距離の制限に縛られない。また、PIO送信レジスタ13が受信データを一旦格納するため、その格納したデータを利用してATAPI規格の通信タイミングを維持させることもできる。

【選択図】 図2

特願 2 0 0 2 - 2 5 1 4 7 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー

特願 2 0 0 2 - 2 5 1 4 7 1

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 4 6 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 7 日

[変更理由]

新規登録

住 所

愛知県西尾市下羽角町岩谷 1 4 番地

氏 名

株式会社日本自動車部品総合研究所